

「蓄積電荷測定法」による C8-BTBT/金属界面の電荷注入抵抗測定

兵庫県立大学大学院理学研究科 助教 角屋智史
(現在の所属は甲南大学理工学部機能分子化学科 助教)

1. 序論

有機エレクトロニクスの代表素子である有機薄膜トランジスタは安価で大面積エリアに、またフレキシブルな基板上に電子回路を作製できる利点があり、活発な研究が世界的規模で続けられている。¹ 有機半導体と金属電極との接合界面は、界面ポテンシャルなどの影響を受けるので、多くの場合ショットキー接合である。すなわち、電荷注入障壁が存在する。これは大きな接触抵抗を引き起こし、デバイスの性能を著しく低下させる要因となっている。

有機半導体と電極の界面は主に分光法によって研究が展開されてきた。² しかし、分光法を用いた手法は、超高真空下での測定や基板の材質の制限がある場合が多く、実際のデバイスの構造やデバイスが動作する環境を反映していないことが課題となっている。これに対して、申請者らは、「蓄積電荷測定法」という新しい電荷注入障壁の測定法を報告した。³ 申請者らの報告した蓄積電荷測定法はコンデンサーの原理に基づく測定法である。簡便な電気測定を用いて、有機半導体内部に蓄積された電荷量と半導体に印加された内部電圧のプロットから電荷注入抵抗の値を見積もるオリジナルの方法である。実際のデバイス構造のまま測定ができるので、界面分極や電荷トラップなど注入抵抗に影響をあたえるすべての要因を含めた有用性の高い値を求めることができる点が最大の特徴である。

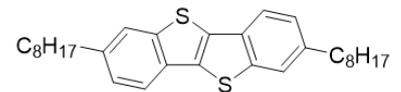


図 1. C8-BTBT の分子構造

また、測定した変位電流の波形解析により、電極・半導体界面の電荷の注入および放出過程を詳細に調べることができる。これまでに、この蓄積電荷測定法を用いて、ペンタセンやフタロシアニンなどのホール注入障壁や HOMO-LUMO ギャップの評価を行ってきた。

本課題では、P 型半導体として世界的に用いられている C8-BTBT を対象として、そのホール注入障壁を評価することを目的とした。また、薄膜トランジスタの同時測定により、ホール注入障壁とトランジスタの特性との相関関係を評価することを目指した。

2. 実験方法

2-1. 蓄積電荷測定法の原理概要

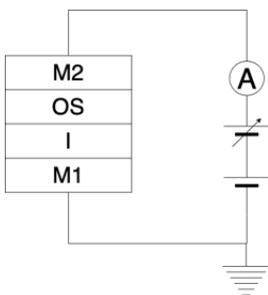


図 2. ACM で用いる素子構造

蓄積電荷測定法(Accumulated Charge Measurement: ACM)では、図2のような実際のデバイス構造に近い MIS(Metal-Insulator-Semiconductor)型構造の素子に対し三角波電圧を印加し、電荷の蓄積/抽出の過程で推移する電流密度を観測する。図3にエネルギーダイアグラムを用いて測定原理を示す。素子に電圧を印加し、有機半導体層に電荷が注入されず電荷が蓄積した場合、素子は絶縁層と有機層の二層直列のコンデンサとしてみなせるので、合成電気容量 C は

$$C = \frac{C_I \cdot C_{OS}}{C_I + C_{OS}} \quad (1.1)$$

と表される。ここで、 C_I は絶縁層の電気容量、 C_{OS} は有機半導体層の電気容量である。

試料に注入された電荷量 ΔQ は素子に蓄積された電荷量 Q_{acc} と合成電気容量 C と印加電圧 V_a を用いて、

$$\Delta Q = Q_{acc} - CV_a \quad (1.2)$$

と表される。また、電圧を有機半導体に印加されている内部電圧 V_{OS} と絶縁層に印加されている電圧 V_I に分離して考えると、ガウスの法則より、

$$V_{OS} = V_a - V_I = V_a - \frac{Q_{acc}}{C_I} \quad (1.3)$$

と求められる。つまり、有機半導体層に電荷が注入されていない場合、蓄積電荷量 Q_{acc} は合成電気容量 C と印加電圧 V_a の積となり、注入電荷量 $\Delta Q = 0$ となる。

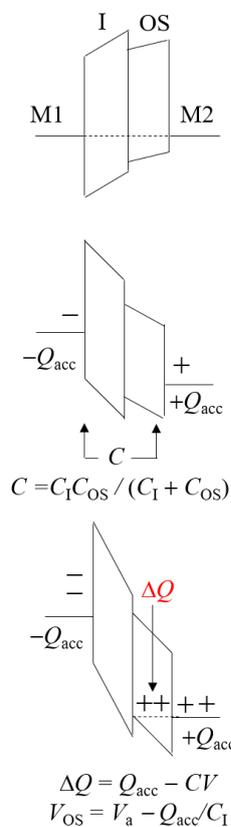


図3. ACMの測定原理

一方、電荷が有機半導体層に注入され、絶縁層/有機半導体界面にまで電荷が達した場合、素子の電気容量は絶縁層の電気容量 C_I となる。このとき、蓄積電荷量 Q_{acc} の変化量は大きくなり、注入された電荷量 ΔQ が急激に増加する。したがって、 ΔQ は有機半導体への電荷注入の度合いを反映していることになる。

これらの電荷注入に関するパラメータである ΔQ と内部電圧 V_{OS} をプロットすることにより、電荷注入障壁を得ることができる。電荷注入時、 V_{OS} は増加しなくなるため、注入障壁はグラフの横軸に対して垂直に表れる。

2-2. 素子作製の手順と測定環境

70 nm の SiO_2 膜が形成された n-doped Si 基板をアセトン、イソプロピルアルコールで 5 min 超音波洗浄した。表面処理として、HMDS または TTC をそれぞれ用いた。HMDS 処理は基板洗浄後、HMDS 雰囲気下に基板を 12 時間以上放置して、アセトンで超音波洗浄した。そのあと、 120°C でアニーリングをした。TTC 処理は基板洗浄後に、真空蒸着で 15 nm の TTC を蒸着した。そのあと、

窒素雰囲気下で 70°C、2 h のアニーリングをした。

有機半導体として C8-BTBT を 30 nm 真空蒸着した。このときの基板温度は約 20°C である。電極として Au を約 40 nm 真空蒸着した。Au 蒸着の際は、熱ダメージを低下させるため、基板温度は 0°C にした。リファレンスとして測定した絶縁層 SiO₂(HMDS treated) と SiO₂+TTC の静電容量 C_i はそれぞれ 1.78 nF と 3.81 nF であった。変位電流はデジタルオシロスコープ(DL850, Yokokawa)、ファンクションジェネレーター(WF1946)、自作したアンプ(6800 V/A ゲイン)を用いて測定した。蓄積電荷 Q_{acc} は上述した方法に基づいて変位電流を積分して求めた。ACM 測定は、室温において、窒素雰囲気下で行った。

2-3. 結果と考察

図 4 に HMDS 処理をした C8-BTBT/Au 界面の変位電流の波形を表す。図 4 (a)に示す用ように PZ モードの最初の変位電流の波形において、蓄積したホールに相当する分だけ電流値が大きくなっている。ZP モードの変位電流は、 $t < 0$ でホールの蓄積を行っていないため、電圧スイープのみによるホール注入、抽出を反映している。

図 4(b)と(c)は、電圧振動を繰り返した 9 回目と 10 回目の PZ と ZP モードの変位電流の拡大図である。HMDS 処理をした基板では、PZ と ZP モードの波形が、同じ形に収束していない。これは、ACM の解析で重要な電圧振動法が成立していないことを意味する。よって、正しくホール注入障壁を算出することができない。これは、HMDS などの SAMs 処理では、基板表面のヒドロキシル基を完全に覆うことができないため、電荷トラップが存在することを示唆している。

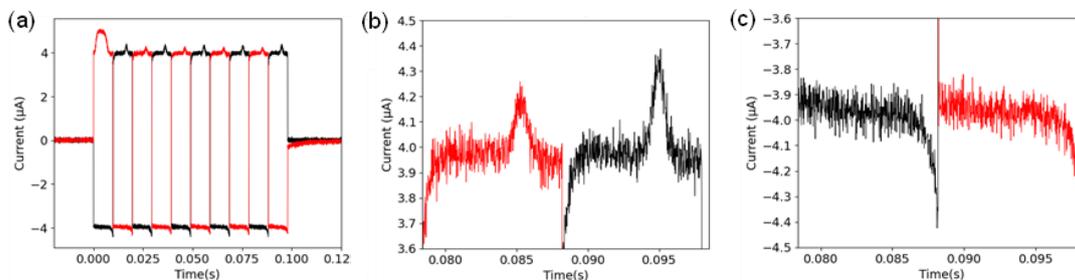


図 4. (a)HMDS 処理した C8-BTBT 素子の変位電流の観測結果。(b)と(c)のグラフより波形が一致していないので、電圧振動法が成立していないことがわかる。

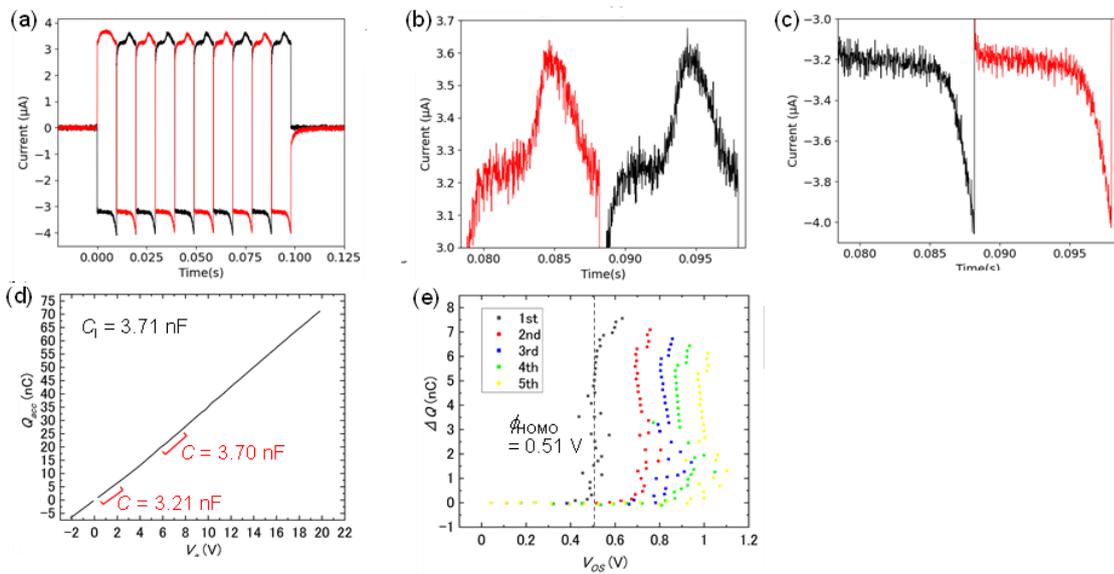


図 5. TTC 処理した C8-BTBT 素子の ACM 測定結果。(a)-(c)の変位電流の波形は、PZ と ZP モードで一致している。

図 5 に TTC 処理をした基板による C8-BTBT/Au 界面の変位電流の波形を表す。HMDS 処理した基盤と同じように、PZ の最初の波形が、注入したホールに応じて大きくなっている。

一方で、この素子では、電圧振動を繰り返した

後で PZ と ZP モードの変位電流は同じ形に収束する。すなわち、ホール注入障壁の解析に必要な電圧振動法が成立している。また、この結果は TTC 処理をすることで、基板表面の電荷トラップを完全に除去できていることを意味している。これは、キャリアトラップの影響を強く受ける有機アンバイポーラートランジスタなどを動作させるときに、TTC 処理が必須である先行研究の結果を支持している。⁴

電圧振動法が成立しているので、ACM の解析に基づいて、素子全体に蓄積された全電荷量 Q_{acc} を算出した。図 5(d) は Q_{acc} の振動印可電圧 V_a のプロットである。 $V_a > 0$ の領域はホール注入に対応している。 $V_a < 2V$ の領域では、グラフの傾き、すなわち、素子全体の合成静電容量は $C = 3.21 \text{ nF}$ である。この領域では、C8-BTBT にホールがほとんど注入されずに絶縁体としてふるまうので、 C は小さい。振動印可電圧 V_a が大きくなるにつれて、グラフの傾きも急になる。 $6V < V_a$ の領域で、 $C = 3.70 \text{ nF}$ となる。同一基板で測定した TTC のみの静電容量が $C_1 = 3.71 \text{ nF}$ であるので、ホールが C8-BTBT 層に注入され、TTC/C8-BTBT 界面まで達したことを意味する。図 5(e) は、C8-BTBT 層に注入された電荷量 ΔQ と、実際に C8-BTBT 層に印可された電圧 V_{os} をプロットしたものである。Pristine(測定一回目)のデータに注目する。 $0.5 < V_{os}$ の領域で、注入電荷量 ΔQ が大幅に増加している。これより、C8-BTBT/Au 界面のホール注入障壁は 0.51 V(eV) と見積もれる。この値は、これまでに報告されている真空準位シフトの影響が大きいことを示唆している。このグラフには、一回目の測定の後に、同じ素子で連続して ACM 測定をしたデータを載せている。測定を重ねるごとに、ホール注入障壁の値が大きくなっているように見える。我々はこれらの測定においても、電圧

振動法が成立することを確認しており、この現象は測定エラーではない。これは真空蒸着法で作製した C8-BTBT の多結晶性薄膜にあるホールトラップに由来すると考えられる。多結晶性薄膜は、単結晶性薄膜と異なり、粒界などによる電荷トラップが存在する。実際に C8-BTBT を用いたトランジスタの電界効果移動度は、多結晶膜で測定したものは $\sim 2.9 \text{ cm}^2/\text{Vs}$ であるが、⁵ 単結晶性薄膜で測定したものは $31\sim 43 \text{ cm}^2/\text{Vs}$ まで改良されている。⁶

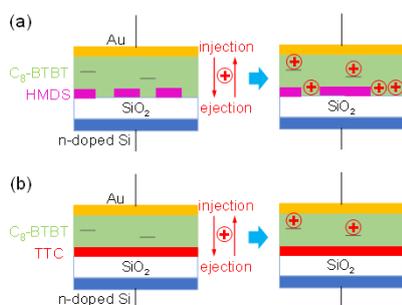


図 6. 電圧振動法におけるホールの注入・抽出過程。(a)HMDS, (b)TTC 処理の場合。

ACM におけるホールトラップの影響を図 6 に示す。HMDS 処理をした基板は完全に SiO₂ 表面を覆っているわけでない。よって、薄膜内のホールトラップに加えて、C8-BTBT/SiO₂ 界面にも、ある程度ホールトラップが存在する。ACM におけるホールの注入と抽出を繰り返す過程で、界面と薄膜内にホールがトラップされる。これにより、プラスの電場が発生し、ホール注入が起こりづらくなる。HMDS 処理をした基板では、電圧振動法が成立しないのは、このトラップにより誘起された電場が原因であると考えられる。対照的に、TTC 処理をした基板では、電圧振動法が成立し、素子全体の静電容量の値から、ホールが C8-BTBT/TTC 界面にまで注入されたことを示している。すなわち、TTC 処理をした基板では、基板表面が無極性の状態となり、有機半導体/TTC 界面には電荷トラップがほとんど存在しないことを示している。TTC 処理した基板において、測定回数を繰り返すと、注入障壁が増大しているように見える。これは、多結晶性薄膜の粒界結晶によるトラップの影響と考えられる。この現象は、C8-BTBT のトランジスタ特性において、測定回数を繰り返すとわずかながら閾値電圧が増大する先行研究の結果と良い一致をしている。⁷

3. まとめ

ACM という手法を用いて、実デバイスの構造を維持したまま、C8-BTBT のホール注入障壁の測定を行った。HMDS のような単分子膜では、酸化シリコン基板表面のヒドロキシル基を完全には除去できず、ホールトラップはわずかに残ることが変位電流の波形から明かとなった。一方 TTC 薄膜で、基板表面を完全にコーティングした場合、その電荷トラップは除去され、ホール注入障壁は 0.51 eV となった。優れた大気安定性を示す C8-BTBT だが、多結晶性薄膜に存在する粒界は電荷トラップとなると考えられる。

4. 謝辞

本研究をご支援くださいました貴財団に深く感謝申し上げます。

参考文献

1. Y. Xu *et al.*, *Phys. Chem. Chem. Phys.* 17, 26553 (2015).
2. H. Ishii *et al.*, *Adv. Mater.* 11, 605 (1999).
3. (a) H. Tajima *et al.*, *Org. Electron.* 34, 193 (2016). (b) T. Kadoya *et al.*, *J. Phys. Chem. C* 121, 2882-2888 (2017).
4. T. Higashino *et al.*, *Appl. Phys. Express* 7, 121602 (2014).
5. T. Izawa *et al.*, *Adv. Mater.* 20, 3388 (2008).
6. Y. Yuan *et al.*, *Nat. Commun.* 5, 3005 (2014).
7. H. Ebata *et al.*, *J. Am. Chem. Soc.* 129, 15732 (2007).